

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145436

(43)Date of publication of application : 28.05.1999

(51)Int.CI.

H01L 27/12  
H01L 21/265  
H01L 21/322  
H01L 21/762

(21)Application number : 09-307719

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1997

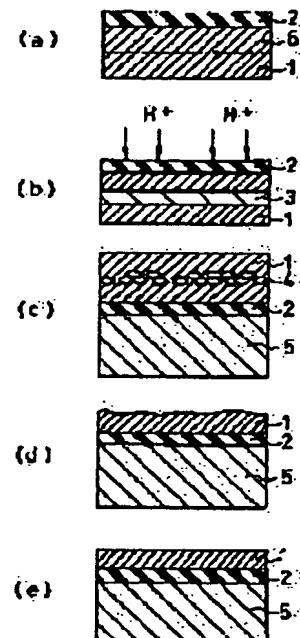
(72)Inventor : OKONOGI KENSUKE

## (54) LAMINATED SOI SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a laminated SOI substrate, which reduces adverse effects on a device and is capable of raising the yield of the manufacture of the laminated SOI substrate, and a method of manufacturing the board.

**SOLUTION:** An insulating film is formed on the surface of a first single-crystal silicon substrate 1, such as a hydrogen-annealed substrate, an intrinsic gettering substrate of an epitaxial substrate, and a hydrogenation is performed in the substrate 1 through the surface of this insulating film, whereby a hydrogenated region 3 is formed in the substrate 1. By performing heat treatment at 400 to 500°C on the substrate 1, voids 4 are formed in the region 3 and the substrate 1 is cleaved from these and formed with the voids 4, in the region 3. Then, after the surface of the insulating film and the surface of a second single-crystal silicon substrate 5 are laminated together, the substrates 1 and 5 are subjected to heat treatment at a temperature of 1,000°C or higher.



## LEGAL STATUS

[Date of request for examination] 10.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

**[than the examiner's decision of rejection or  
application converted registration]**

**[Date of final disposal for application]**

**[Patent number]** 2998724

**[Date of registration]** 05.11.1999

**[Number of appeal against examiner's  
decision of rejection]**

**[Date of requesting appeal against  
examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145436

(43) 公開日 平成11年(1999)5月28日

(51) Int. Cl. 6  
 H01L 27/12  
 21/265  
 21/322  
 21/762

識別記号

F I  
 H01L 27/12  
 21/322  
 21/265  
 21/76

B  
 Y  
 Q  
 D

審査請求 有 請求項の数 6 O L (全5頁)

(21) 出願番号

特願平9-307719

(22) 出願日

平成9年(1997)11月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小此木 堅祐

東京都港区芝五丁目7番1号 日本電気株式会社内

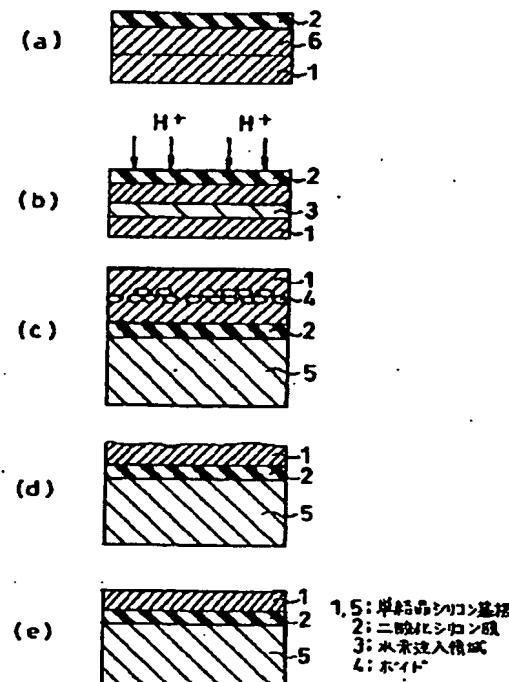
(74) 代理人 弁理士 藤巻 正憲

## (54) 【発明の名称】張り合わせSOI基板及びその製造方法

## (57) 【要約】

【課題】 デバイスへの悪影響を低減して歩留まりを向上することができる張り合わせSOI基板及びその製造方法を提供する。

【解決手段】 第1の単結晶シリコン基板、例えば、水素アニール基板、イントリンシックゲッタリング基板又はエピタキシャル基板の表面に絶縁膜を形成し、この絶縁膜の表面から水素注入を行うことにより、第1の単結晶シリコン基板中に水素注入領域を形成する。そして、400乃至500°Cの熱処理を施すことにより、水素注入領域にポイドを形成してそこから第1の単結晶シリコン基板を劈開する。次に、絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせた後、1000°C以上の温度で熱処理する。



## 【特許請求の範囲】

【請求項1】 第1の単結晶シリコン基板と、第2の単結晶シリコン基板とを絶縁膜を間に挟んで張り合わせて構成された張り合わせSOI基板において、前記第1の単結晶シリコン基板は、水素アニール基板、イントリニシックゲッタリング基板及びエピタキシャル基板からなる群から選択された1種の基板からなることを特徴とする張り合わせSOI基板。

【請求項2】 第1の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第1の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせSOI基板の製造方法において、前記第1の単結晶シリコン基板は、水素アニール基板、イントリニシックゲッタリング基板及びエピタキシャル基板からなる群から選択された1種の基板であることを特徴とする張り合わせSOI基板の製造方法。

【請求項3】 第1の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第1の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせSOI基板の製造方法において、前記第1の単結晶シリコン基板は、表面から一定の深さに結晶欠陥領域を有することを特徴とする張り合わせSOI基板の製造方法。

【請求項4】 前記結晶欠陥領域はミスフィット転位及び酸素析出物からなる群から選択された少なくとも1種の結晶欠陥を有することを特徴とする請求項3に記載の張り合わせSOI基板の製造方法。

【請求項5】 前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程後に、1000℃以上の温度で熱処理する工程を有することを特徴とする請求項2乃至4のいずれか1項に記載の張り合わせSOI基板の製造方法。

【請求項6】 前記ミスフィット転位は、第3の単結晶シリコン基板上にエピタキシャル成長により前記第3の単結晶シリコン基板よりも抵抗が高い単結晶シリコン層を形成することにより生成されたものであることを特徴とする請求項4又は5に記載の張り合わせSOI基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置に好適な張り合わせSOI (Silicon On Insulator) 基板及びその製造方法に関し、特に、デバイスへの悪影響を低減した張り合わせSOI基板及びその製造方法に関する。

## 【0002】

【従来の技術】 張り合わせ技術により超薄膜SOI基板を製造する方法として、大量の水素注入により形成されるポイドによって半導体基板が劈開する現象を利用したスマートカット (Smart-Cut) プロセスが知られている (Proceedings 1996 IEEE International SOI Conference, p152)。図3 (a) 乃至 (e) は従来のスマートカットプロセスによるSOI基板の製造方法を工程順に示す断面図である。従来のスマートカットプロセスによるSOI基板の製造方法においては、先ず、図3 (a) に示すように、単結晶シリコン基板21上に絶縁物である二酸化シリコン膜22を形成する。単結晶シリコン基板21の表面近傍が最終的にデバイス作製領域となる。また、この表面近傍には、総称してgrown-in欠陥と呼ばれる酸素析出物又はその核等の結晶欠陥領域28が存在している。

【0003】 次に、図3 (b) に示すように、二酸化シリコン膜22の表面から水素イオンを約10<sup>10</sup>乃至10<sup>11</sup> (atoms/cm<sup>2</sup>) のドーズ量でイオン注入する。これにより、単結晶シリコン基板21中に水素注入領域23が形成される。

【0004】 次いで、図3 (c) に示すように、二酸化シリコン膜22の表面と他の単結晶シリコン基板25の表面とを室温で張り合わせ、400乃至500℃で熱処理することにより、水素注入領域23にポイド24が形成される。

【0005】 このとき、図3 (d) に示すように、水素注入領域23に形成されたポイド24により、単結晶シリコン基板21は劈開される。

【0006】 次に、約1000℃以上の熱処理を数時間施すことにより、二酸化シリコン膜22と単結晶シリコン基板25との張り合わせ面を強固に接着する。そして、単結晶シリコン基板21の劈開された面を研磨して鏡面を形成することにより、SOI基板が完成する。

【0007】 その後、このようにして製造されたSOI基板はデバイスの作製工程へと投入される。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上述の従来の方法により製造された張り合わせSOI基板においては、このSOI基板から製造されたデバイスにパーティクルが生じたり、接合リーク、素子分離間特性及びゲート絶縁膜耐圧の劣化がもたらされるという問題点がある。

【0009】 本発明はかかる問題点に鑑みてなされたものであって、デバイスへの悪影響を低減して歩留まりを向上することができる張り合わせSOI基板及びその製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 本発明に係る張り合わせSOI基板は、第1の単結晶シリコン基板と、第2の単結晶シリコン基板とを絶縁膜を間に挟んで張り合わせて

構成された張り合わせSOI基板において、前記第1の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッタリング基板及びエピタキシャル基板からなる群から選択された1種の基板からなることを特徴とする。

【0011】本発明においては、デバイスが形成される予定の第1の単結晶シリコン基板に水素アニール基板、イントリンシックゲッタリング基板又はエピタキシャル基板が使用されており、これらの基板の表面近傍の結晶欠陥は極めて少ないので、製造工程中に、この基板にポイドが形成されることが抑制される。このため、デバイスへの悪影響を低減することができる。

【0012】本発明に係る張り合わせSOI基板の製造方法は、第1の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第1の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせSOI基板の製造方法において、前記第1の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッタリング基板及びエピタキシャル基板からなる群から選択された1種の基板であることを特徴とする。

【0013】本発明に係る他の張り合わせSOI基板の製造方法は、第1の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第1の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせSOI基板の製造方法において、前記第1の単結晶シリコン基板は、表面から一定の深さに結晶欠陥領域を有することを特徴とする。

【0014】本発明においては、第1の単結晶シリコン基板の表面から一定の深さに結晶欠陥領域が形成されているので、水素注入を行うとこの結晶欠陥領域に水素が集中してポイドが形成されて劈開する。つまり、他の領域にはポイドが形成されないので、デバイスへの悪影響を低減することができる。

【0015】なお、前記結晶欠陥領域はミスフィット転位及び酸素析出物からなる群から選択された少なくとも1種の結晶欠陥を有することができる。

【0016】また、本発明においては、前記絶縁膜の表面と第2の単結晶シリコン基板の表面とを張り合わせる工程の後に、1000°C以上の温度で熱処理する工程を行ってもよい。

【0017】前記ミスフィット転位は、第3の単結晶シリコン基板上にエピタキシャル成長により前記第3の単結晶シリコン基板よりも抵抗が高い単結晶シリコン層を形成することにより生成されたものであってもよい。

【0018】

【発明の実施の形態】本願発明者等が前記課題を解決するため、鋭意実験研究を重ねた結果、従来の方法で使用されている単結晶シリコン基板21には不規則に結晶欠陥領域28が存在しているため、図3(c)に示すように、水素注入により結晶欠陥領域28にもポイド24aが形成され、図3(e)に示すように、完成後にもポイド24aはSOI基板の活性層である単結晶シリコン基板21中に残存しているので、このSOI基板から製造されたデバイスに悪影響が及ぼされていることに想到した。つまり、このスマートカットプロセスによる張り合わせSOI基板の製造方法においては、水素注入によるポイドの形成場所を制御することが重要である。このポイドの形成場所は注入される表面から水素の飛程程度離れた位置となるが、その周囲に欠陥等の水素イオンが集中しやすい領域があると、そこにもポイドが形成されてしまう。そこで、下地の単結晶シリコン基板の表面の結晶性を制御することが必要となる。本発明においては、下地の単結晶シリコン基板表面の結晶性を改善することにより、ポイドの形成場所を制御する。

【0019】以下、本発明の実施例方法について、添付の図面を参照して具体的に説明する。図1(a)乃至(e)は本発明の第1の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。本実施例方法においては、水素が注入される単結晶シリコン基板1として、表面にgrown-in欠陥及び酸素析出物がなく、図1(a)に示すように、表面近傍に無欠陥領域(DZ)6が存在する基板、例えば水素アニール基板、イントリンシックゲッタリング(IG)基板又はエピタキシャル基板が使用される。水素アニール基板は、FZ法等で形成された単結晶シリコン材を、例えば1200°Cで1時間、100%水素雰囲気中でアニールすることにより作製される。先ず、この単結晶シリコン基板1上に絶縁物である二酸化シリコン膜2を形成する。

【0020】次に、図1(b)に示すように、二酸化シリコン膜2の表面から水素イオンを約10<sup>10</sup>乃至10<sup>11</sup>(atoms/cm<sup>2</sup>)のドーズ量でイオン注入する。これにより、単結晶シリコン基板1の投影飛程領域のみに水素注入領域3が形成される。

【0021】次いで、図1(c)に示すように、二酸化シリコン膜2の表面と他の単結晶シリコン基板5の表面とを室温で張り合わせ、400乃至500°Cで熱処理することにより、水素注入領域3にポイド4を多数高密度に形成する。

【0022】このとき、図1(d)に示すように、水素注入領域3に形成されたポイド4により、単結晶シリコン基板1は劈開される。本実施例においては、単結晶シリコン基板1表面近傍に結晶欠陥領域がないので、従来のようにポイドが単結晶シリコン基板1内に残存することは避けられる。

【0023】次に、約1000°C以上の熱処理を数時間施すことにより、二酸化シリコン膜2と単結晶シリコン基板5との張り合わせ面を強固に接着する。そして、図1(e)に示すように、単結晶シリコン基板1の劈開された面を研磨して鏡面を形成することにより、SOI基板が完成する。

【0024】このように製造されたSOI基板は図1(e)に示すような構造を有しており、その内部にはボイドが存在しない。このため、このSOI基板からデバイスを製造したときに、デバイス特性に悪影響が及ぼされることが抑制される。

【0025】次に、本発明の第2の実施例方法について説明する。図2(a)乃至(e)は本発明の第2の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。本実施例方法においては、水素が注入される単結晶シリコン基板11として、ミスフィット転位が形成されたミスフィット転位領域17を表面近傍に有する基板が使用される。このミスフィット転位領域17を有する単結晶シリコン基板11は、例えば低抵抗基板上にエピタキシャル成長により高抵抗の単結晶シリコン層を形成すること、又はSiGe層上に単結晶シリコンをエピタキシャル成長させること等により容易に形成されるものである。先ず、この単結晶シリコン基板11上に絶縁物である二酸化シリコン膜12を形成する。

【0026】次に、図2(b)に示すように、二酸化シリコン膜12の表面から水素イオンを約10<sup>10</sup>乃至10<sup>17</sup>(atoms/cm<sup>2</sup>)のドーズ量でイオン注入する。これにより、単結晶シリコン基板11の投影飛程領域及びミスフィット転位領域17に水素注入領域13が形成される。

【0027】次いで、図2(c)に示すように、二酸化シリコン膜12の表面と他の単結晶シリコン基板15の表面とを室温で張り合わせ、400乃至500°Cで熱処理することにより、水素注入領域13にボイド14を多数高密度に形成する。

【0028】このとき、図2(d)に示すように、水素注入領域13に形成されたボイド14により、単結晶シリコン基板11は劈開される。本実施例においても、単結晶シリコン基板11表面近傍に結晶欠陥領域がないので、従来のようにボイドが単結晶シリコン基板11内に

残存することは避けられる。

【0029】次に、約1000°C以上の熱処理を数時間施すことにより、二酸化シリコン膜2と単結晶シリコン基板5との張り合わせ面を強固に接着する。そして、図2(e)に示すように、単結晶シリコン基板11の劈開された面を研磨して鏡面を形成することにより、SOI基板が完成する。

【0030】このように製造されたSOI基板は図2(e)に示すような構造を有しており、その内部にはボイドが存在しない。このため、第1の実施例方法により製造されたSOI基板と同様に、このSOI基板からデバイスを製造したときに、デバイス特性に悪影響が及ぼされることが抑制される。

【0031】本実施例においては、単結晶シリコン基板にミスフィット転位領域を有する基板を使用したが、表面近傍に酸素析出物層を有する基板を使用してもよい。酸素析出物層を有する基板は、例えばフッ酸水溶液により下地単結晶シリコン基板を洗浄した後、この下地単結晶シリコン基板上に単結晶シリコン層をエピタキシャル成長させることにより作成される。

### 【0032】

【発明の効果】以上詳述したように、本発明によれば、ボイドが半導体シリコン基板の所定の位置に形成されて、このボイドが形成された位置で半導体シリコン基板が劈開されるので、ボイドの残存を低減することができる。このため、デバイスへの悪影響を低減して歩留まりを向上することができる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。

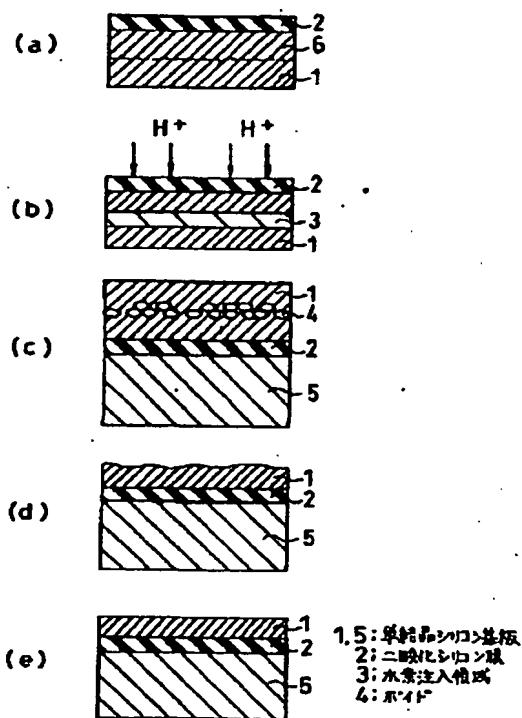
【図2】本発明の第2の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。

【図3】従来のスマートカットプロセスによるSOI基板の製造方法を工程順に示す断面図である。

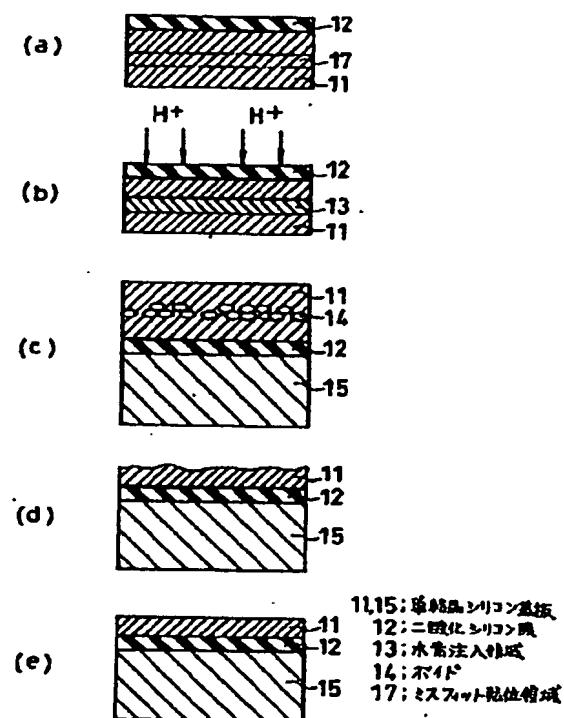
### 【符号の説明】

- 1、5、11、15、21、25；単結晶シリコン基板
- 2、12、22；二酸化シリコン膜
- 3、13、23；水素注入領域
- 4、14、24、24a；ボイド
- 17；ミスフィット転位領域
- 28；結晶欠陥領域

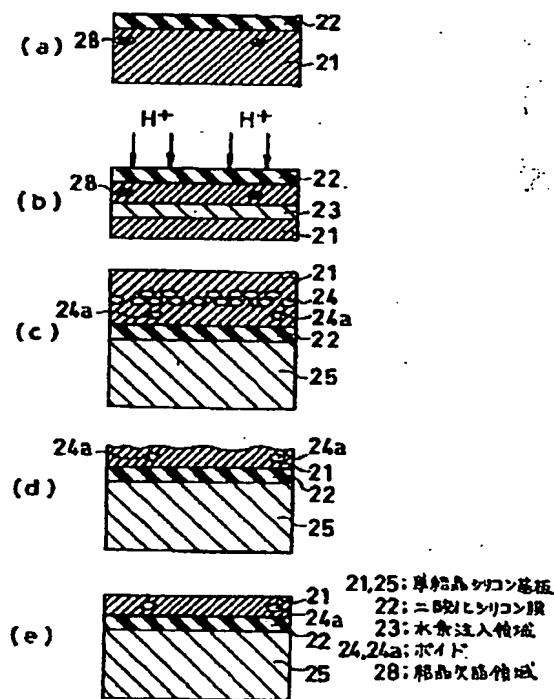
【図1】



【図2】



【図3】



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the lamination SOI substrate which reduced the adverse effect to a device especially, and its manufacture approach about the suitable lamination SOI (Silicon On Insulator) substrate for a semiconductor device, and its manufacture approach.

[0002]

[Description of the Prior Art] The smart cut (Smart-Cut) process using the phenomenon in which a semi-conductor substrate carries out cleavage by the void formed of hydrogen impregnation of a large quantity as an approach of manufacturing a super-thin film SOI substrate by the flare winning-by-taking-two-half-points way is known (Proceedings 1996 IEEE International SOI Conference, p152). Drawing 3 (a) thru/or (e) are the sectional views showing the manufacture approach of the SOI substrate by the conventional smart cut process in order of a process. In the manufacture approach of the SOI substrate by the conventional smart cut process, first, as shown in drawing 3 (a), the diacid-ized silicon film 22 which is an insulating material is formed on the single crystal silicon substrate 21. It becomes a device production field near the front face of the single crystal silicon substrate 21 eventually. Moreover, near [ this ] the front face, the crystal defect fields 28, such as an oxygen sludge which names generically and is called a grown-in defect, or its nucleus, exist.

[0003] Next, as shown in drawing 3 (b), the ion implantation of the hydrogen ion is carried out with the dose of about 1016 thru/or 1017 (atoms/cm<sup>2</sup>) from the front face of the diacid-ized silicon film 22. Thereby, the hydrogen impregnation field 23 is formed into the single crystal silicon substrate 21.

[0004] Subsequently, as shown in drawing 3 (c), a void 24 is formed in the hydrogen impregnation field 23 by heat-treating the front face of the diacid-ized silicon film 22, and the front face of other single crystal silicon substrates 25 at lamination, 400, or 500 degrees C with a room temperature.

[0005] At this time, as shown in drawing 3 (d), cleavage of the single crystal silicon substrate 21 is carried out by the void 24 formed in the hydrogen impregnation field 23.

[0006] Next, the flare mating face of the diacid-ized silicon film 22 and the single crystal silicon substrate 25 is firmly pasted up by performing heat treatment of about 1000 degrees C or more for several hours. And a SOI substrate is completed by grinding the field where cleavage of the single crystal silicon substrate 21 was carried out, and forming a mirror plane.

[0007] Then, the SOI substrate manufactured by doing in this way is thrown into the production process of a device.

[0008]

[Problem(s) to be Solved by the Invention] However, in the lamination SOI substrate manufactured by the above-mentioned conventional approach, there is a trouble that particle arises in the device manufactured from this SOI substrate, or degradation of junction leak, the property between isolation, and gate-dielectric-film pressure-proofing is brought about.

[0009] This invention is made in view of this trouble, and it aims at offering the lamination SOI substrate which can reduce the adverse effect to a device and can improve the yield, and its manufacture approach.

[0010]

[Means for Solving the Problem] In the lamination SOI substrate which the lamination SOI substrate concerning this invention made the 1st single crystal silicon substrate and the 2nd single crystal

silicon substrate rival on both sides of an insulator layer in between, and was constituted, said 1st single crystal silicon substrate is characterized by consisting of one sort of substrates chosen from the group which consists of a hydrogen annealing substrate, an in thorin chic gettering substrate, and an epitaxial substrate.

[0011] In this invention, the hydrogen annealing substrate, the in thorin chic gettering substrate, or the epitaxial substrate is used for the 1st single crystal silicon substrate of the schedule in which a device is formed, and since there are very few crystal defects near the front face of these substrates, it is controlled that a void is formed into a production process at this substrate. For this reason, the adverse effect to a device can be reduced.

[0012] The manufacture approach of the lamination SOI substrate concerning this invention The process which forms an insulator layer in the front face of the 1st single crystal silicon substrate, and by performing hydrogen impregnation from the front face of said insulator layer In the manufacture approach of a lamination SOI substrate of having the process which makes the process which forms a hydrogen impregnation field into said 1st single crystal silicon substrate, and the front face of said insulator layer and the front face of the 2nd single crystal silicon substrate rivaling Said 1st single crystal silicon substrate is characterized by being one sort of substrates chosen from the group which consists of a hydrogen annealing substrate, an in thorin chic gettering substrate, and an epitaxial substrate.

[0013] The manufacture approach of other lamination SOI substrates concerning this invention The process which forms an insulator layer in the front face of the 1st single crystal silicon substrate, and by performing hydrogen impregnation from the front face of said insulator layer In the manufacture approach of a lamination SOI substrate of having the process which makes the process which forms a hydrogen impregnation field into said 1st single crystal silicon substrate, and the front face of said insulator layer and the front face of the 2nd single crystal silicon substrate rivaling Said 1st single crystal silicon substrate is characterized by having a crystal defect field in the fixed depth from a front face.

[0014] In this invention, since the crystal defect field is formed in the fixed depth from the front face of the 1st single crystal silicon substrate, if hydrogen impregnation is performed, hydrogen concentrates on this crystal defect field, and a void will be formed and will carry out cleavage. That is, since a void is not formed in other fields, the adverse effect to a device can be reduced.

[0015] In addition, said crystal defect field can have at least one sort of crystal defects chosen from the group which consists of a misfit rearrangement and an oxygen sludge.

[0016] Moreover, in this invention, the process heat-treated at the temperature of 1000 degrees C or more after the process which makes the front face of said insulator layer and the front face of the 2nd single crystal silicon substrate rival may be performed.

[0017] Said misfit rearrangement may be generated by forming a single-crystal-silicon layer with resistance higher than said 3rd single crystal silicon substrate with epitaxial growth on the 3rd single crystal silicon substrate.

[0018]

[Embodiment of the Invention] Since the crystal defect field 28 exists in the single crystal silicon substrate 21 currently used by the conventional approach irregularly as a result of repeating experiment research wholeheartedly, in order that an invention-in-this-application person etc. may solve said technical problem, Since void 24a remains also after completion in the single crystal silicon substrate 21 which is the barrier layer of a SOI substrate as are shown in drawing 3 (c), and void 24a is formed also in the crystal defect field 28 of hydrogen impregnation and it is shown in drawing 3 (e) It hit on an idea to have the adverse effect on the device manufactured from this SOI substrate. That is, in the manufacture approach of the lamination SOI substrate by this smart cut process, it is important to control the formation location of the void by hydrogen impregnation. Although the formation location of this void serves as a location which hydrogen separated from the front face poured in the range grade, if there is a field which hydrogen ions, such as a defect, tend to concentrate on that perimeter, a void will be formed also there. Then, it is necessary to control the crystallinity of the front face of the single crystal silicon substrate of a substrate. In this invention, the formation location of a void is controlled by improving the crystallinity of the single crystal silicon substrate surface of a substrate.

[0019] Hereafter, the example approach of this invention is concretely explained with reference to an

attached drawing. Drawing 1 (a) thru/or (e) are the sectional views showing the manufacture approach of the lamination SOI substrate concerning the 1st example approach of this invention in order of a process. In this example approach, as a single crystal silicon substrate 1 into which hydrogen is injected, a grown-in defect and an oxygen sludge are not in a front face, and as shown in drawing 1 (a), the substrate with which the defect-free field (DZ) 6 exists near the front face, for example, a hydrogen annealing substrate, an in thorin chic gettering (IG) substrate, or an epitaxial substrate is used. A hydrogen annealing substrate is produced by annealing the single-crystal-silicon material formed by the FZ method etc. in 1 hour and 100% hydrogen ambient atmosphere at 1200 degrees C. First, the diacid-ized silicon film 2 which is an insulating material is formed on this single crystal silicon substrate 1.

[0020] Next, as shown in drawing 1 (b), the ion implantation of the hydrogen ion is carried out with the dose of about 1016 thru/or 1017 (atoms/cm<sup>2</sup>) from the front face of the diacid-ized silicon film 2. Thereby, the hydrogen impregnation field 3 is formed only in the projection range field of the single crystal silicon substrate 1.

[0021] Subsequently, as shown in drawing 1 (c), many voids 4 are formed in the hydrogen impregnation field 3 at high density by heat-treating the front face of the diacid-ized silicon film 2, and the front face of other single crystal silicon substrates 5 at lamination, 400, or 500 degrees C with a room temperature.

[0022] At this time, as shown in drawing 1 (d), cleavage of the single crystal silicon substrate 1 is carried out by the void 4 formed in the hydrogen impregnation field 3. In this example, since there is no crystal defect field near the single crystal silicon substrate 1 front face, it is avoided that a void remains in the single crystal silicon substrate 1 like before.

[0023] Next, the flare mating face of the diacid-ized silicon film 2 and the single crystal silicon substrate 5 is firmly pasted up by performing heat treatment of about 1000 degrees C or more for several hours. And as shown in drawing 1 (e), a SOI substrate is completed by grinding the field where cleavage of the single crystal silicon substrate 1 was carried out, and forming a mirror plane.

[0024] Thus, the manufactured SOI substrate has structure as shown in drawing 1 (e), and a void does not exist in the interior. For this reason, when a device is manufactured from this SOI substrate, having an adverse effect on a device property is controlled.

[0025] Next, the 2nd example approach of this invention is explained. Drawing 2 (a) thru/or (e) are the sectional views showing the manufacture approach of the lamination SOI substrate concerning the 2nd example approach of this invention in order of a process. In this example approach, the substrate which has the misfit rearrangement field 17 where hydrogen is poured in, and in which the misfit rearrangement was formed as a single crystal silicon substrate 11 near the front face is used. The single crystal silicon substrate 11 which has this misfit rearrangement field 17 is easily formed forming the single-crystal-silicon layer of high resistance with epitaxial growth for example, on a low resistance substrate, by carrying out epitaxial growth of the single crystal silicon on a SiGe layer, etc. First, the diacid-ized silicon film 12 which is an insulating material is formed on this single crystal silicon substrate 11.

[0026] Next, as shown in drawing 2 (b), the ion implantation of the hydrogen ion is carried out with the dose of about 1016 thru/or 1017 (atoms/cm<sup>2</sup>) from the front face of the diacid-ized silicon film 12. Thereby, the hydrogen impregnation field 13 is formed in the projection range field and the misfit rearrangement field 17 of the single crystal silicon substrate 11.

[0027] Subsequently, as shown in drawing 2 (c), many voids 14 are formed in the hydrogen impregnation field 13 at high density by heat-treating the front face of the diacid-ized silicon film 12, and the front face of other single crystal silicon substrates 15 at lamination, 400, or 500 degrees C with a room temperature.

[0028] At this time, as shown in drawing 2 (d), cleavage of the single crystal silicon substrate 11 is carried out by the void 14 formed in the hydrogen impregnation field 13. Also in this example, since there is no crystal defect field near the single crystal silicon substrate 11 front face, it is avoided that a void remains in the single crystal silicon substrate 11 like before.

[0029] Next, the flare mating face of the diacid-ized silicon film 2 and the single crystal silicon substrate 5 is firmly pasted up by performing heat treatment of about 1000 degrees C or more for several hours. And as shown in drawing 2 (e), a SOI substrate is completed by grinding the field where cleavage of the single crystal silicon substrate 11 was carried out, and forming a mirror plane.

[0030] Thus, the manufactured SOI substrate has structure as shown in drawing 2 (e), and a void does not exist in the interior. For this reason, like the SOI substrate manufactured by the 1st example approach, when a device is manufactured from this SOI substrate, having an adverse effect on a device property is controlled.

[0031] In this example, although the base which has a misfit rearrangement field in a single crystal silicon substrate was used, the substrate which has an oxygen sludge layer near the front face may be used. The substrate which has an oxygen sludge layer is created by carrying out epitaxial growth of the single-crystal-silicon layer on this substrate single crystal silicon substrate, after for example, a fluoric acid water solution washes a substrate single crystal silicon substrate.

[0032]

[Effect of the Invention] Since cleavage of the semi-conductor silicon substrate is carried out in the location in which the void was formed in the position of a semi-conductor silicon substrate, and this void was formed according to this invention as explained in full detail above, survival of a void can be reduced. For this reason, the adverse effect to a device can be reduced and the yield can be improved.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is the lamination SOI substrate characterized by consisting of one sort of substrates chosen from the group which said 1st single crystal silicon substrate becomes from a hydrogen annealing substrate, an in thorin chic gettering substrate, and an epitaxial substrate in the lamination SOI substrate which the 1st single crystal silicon substrate and the 2nd single crystal silicon substrate were made to rival on both sides of an insulator layer in between, and was constituted.

[Claim 2] The process which forms an insulator layer in the front face of the 1st single crystal silicon substrate, and by performing hydrogen impregnation from the front face of said insulator layer In the manufacture approach of a lamination SOI substrate of having the process which makes the process which forms a hydrogen impregnation field into said 1st single crystal silicon substrate, and the front face of said insulator layer and the front face of the 2nd single crystal silicon substrate rivaling Said 1st single crystal silicon substrate is the manufacture approach of the lamination SOI substrate characterized by being one sort of substrates chosen from the group which consists of a hydrogen annealing substrate, an in thorin chic gettering substrate, and an epitaxial substrate.

[Claim 3] The process which forms an insulator layer in the front face of the 1st single crystal silicon substrate, and by performing hydrogen impregnation from the front face of said insulator layer In the manufacture approach of a lamination SOI substrate of having the process which makes the process which forms a hydrogen impregnation field into said 1st single crystal silicon substrate, and the front face of said insulator layer and the front face of the 2nd single crystal silicon substrate rivaling Said 1st single crystal silicon substrate is the manufacture approach of the lamination SOI substrate characterized by having a crystal defect field in the fixed depth from a front face.

[Claim 4] Said crystal defect field is the manufacture approach of the lamination SOI substrate according to claim 3 characterized by having at least one sort of crystal defects chosen from the group which consists of a misfit rearrangement and an oxygen sludge.

[Claim 5] The manufacture approach of a lamination SOI substrate given in claim 2 characterized by having the process heat-treated at the temperature of 1000 degrees C or more after the process which makes the front face of said insulator layer, and the front face of the 2nd single crystal silicon substrate rival thru/or any 1 term of 4.

[Claim 6] Said misfit rearrangement is the manufacture approach of the lamination SOI substrate according to claim 4 or 5 characterized by being generated by forming a single-crystal-silicon layer with resistance higher than said 3rd single crystal silicon substrate with epitaxial growth on the 3rd single crystal silicon substrate.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the manufacture approach of the lamination SOI substrate concerning the 1st example approach of this invention in order of a process.

[Drawing 2] It is the sectional view showing the manufacture approach of the lamination SOI substrate concerning the 2nd example approach of this invention in order of a process.

[Drawing 3] It is the sectional view showing the manufacture approach of the SOI substrate by the conventional smart cut process in order of a process.

[Description of Notations]

1, 5, 11, 15, 21, 25; single crystal silicon substrate

2, 12, 22: Diacid-ized silicon film

3, 13, 23: Hydrogen impregnation field

4, 14, 24, 24a: Void

17: Misfit rearrangement field

28: Crystal defect field

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

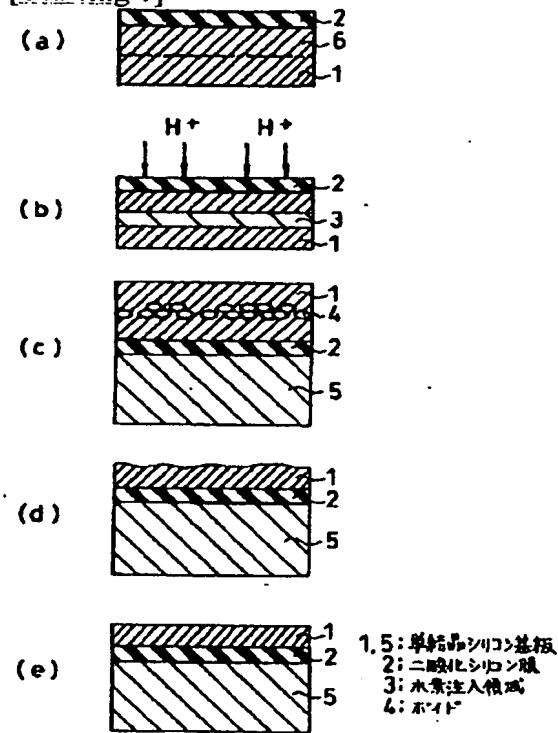
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

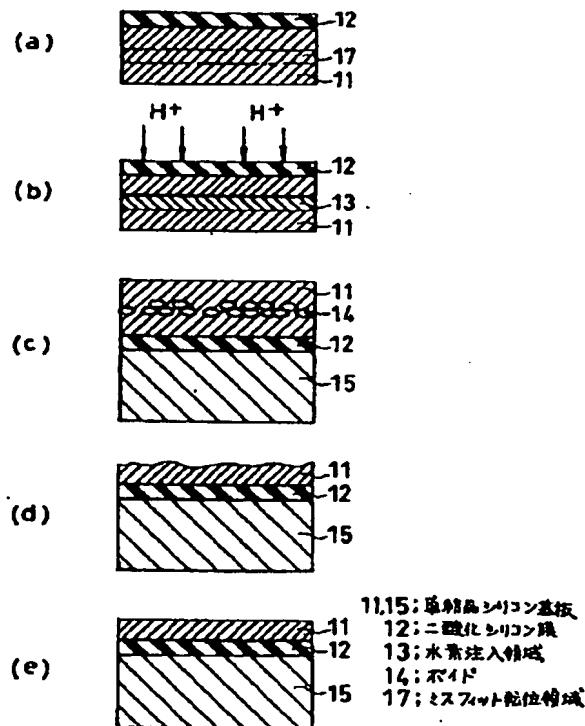
DRAWINGS

---

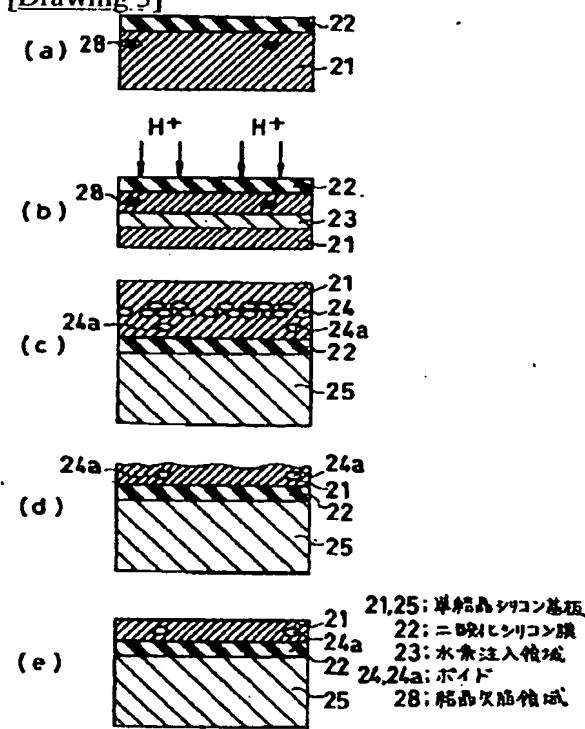
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]